

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP360000369A
DOCUMENT-IDENTIFIER: JP 60000369 A
TITLE: MEASURING DEVICE OF PULSE WIDTH
PUBN-DATE: January 5, 1985

INVENTOR-INFORMATION:
NAME
SUZUKI, MICHIO

ASSIGNEE-INFORMATION:
NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP58108106
APPL-DATE: June 16, 1983

INT-CL (IPC): G01R029/02, H03K005/153
US-CL-CURRENT: 324/158.1

ABSTRACT:

PURPOSE: To measure accurately pulse width at a low frequency by gating and counting the output from a fixed oscillator and its delayed output independently by a pulse signal to be measured.

CONSTITUTION: A counting signal from the fixed oscillator 11 is supplied to a gate circuit 12a and also gate circuits 12b~12d through delay circuits 13a~13c. Outputs from the respective gates are supplied to 1/2 counters 15a~16d under the positive status of pulse input signals to be measured

which are inputted from an input terminal 14. Respective outputs from the 1/2 counters 15a∼16d are inputted to a decision circuit 17, which outputs differences between respective counterd values and reference values successively by using the counted values of the counters 15a, 16a as the reference values. On the other hand, a multiplier 19 multiplies a counted output from a counter 18 by the number 4 of rows of the counter and an arithmetic unit 20 adds or subtracts a decided output value from the decision circuit 17 to/from the multiplied output and outputs the measured value of the pulse width.

COPYRIGHT: (C)1985,JPO&Japio

⑫ 公開特許公報 (A)

昭60—369

⑤ Int. Cl.⁴
G 01 R 29/02
// H 03 K 5/153

識別記号

庁内整理番号
7359—2G
7232—5J

⑬ 公開 昭和60年(1985)1月5日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ パルス幅計測装置

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑮ 特 願 昭58—108106

⑯ 出 願 人 株式会社東芝

⑰ 出 願 昭58(1983)6月16日

川崎市幸区堀川町72番地

⑱ 発 明 者 鈴木道夫

⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

パルス幅計測装置

2. 特許請求の範囲

固定発振器と、この固定発振器からの出力を所定時間遅延する遅延個の遅延回路と、前記固定発振器からの出力および前記遅延個の遅延回路からの各出力を被計測用パルス入力信号によつて各別にゲートする遅延個のゲート回路と、この遅延個のゲート回路の各出力を各別にカウントする遅延個のカウントと、この遅延個のカウントのうち前記遅延回路を通さない前記固定発振器からの出力をカウントするカウントからのカウント出力を基準として前記遅延回路を通した出力をカウントする他のカウントからのカウント出力が多いか少ないかを判定してその差に応じた出力を生じる判定回路と、前記基準カウントを与えるカウントからの出力に対して前記ゲート回路数に応じた数を掛け算する掛け算回路と、この掛け算回路からの出力に対し前

記判定回路からの出力の和または差をとる演算回路とを具備してなることを特徴とするパルス幅計測装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明はパルス幅計測装置の改良に関する。

〔発明の技術的背景とその問題点〕

従来、音響機器を含む電子機器一般の分野で使用されるパルス幅計測装置として第1図に示すように構成されたものが知られている。

すなわち、これは入力端子1から供給される被計測用パルス入力信号を水晶振動子(X-TAL)を用いた固定発振器1からのカウント用信号と共にゲート回路2に供給してパルス入力信号の正か負かいずれかのタイミングでカウント用信号をゲートし、そのゲート出力をカウンタ回路3でカウントする如く構成されているものである。

しかしながら、このような従来のパルス幅計測装置でパルス幅を精度よく計測するには、同

定発振器1の発振周波数を可及的に高くしてやる必要があるが、カウンタ回路3の動作周波数の関係で一定の限界があるので、結果的に得られるパルス幅の計測精度もそれ程には向上し得ないという恨みがあった。

(発明の目的)

そこで、この発明は以上のような点に鑑みてなされたもので、低い周波数で精度よくパルス幅を計測し得るように改良した極めて良好なるパルス幅計測装置を提供することを目的としている。

(発明の概要)

すなわち、この発明によるパルス幅計測装置は、固定発振器と、この固定発振器からの出力を所定時間遅延する遅延個の遅延回路と、前記固定発振器からの出力および前記遅延個の遅延回路からの各出力を被計測用パルス入力信号によつて各別にゲートする遅延個のゲート回路と、この遅延個のゲート回路の各出力を各別にカウントする遅延個のカウンタのうち前記遅延回路

してそれぞれ所定の遅延量を伴つたカウント用信号として第2乃至第4のゲート回路12b, 12c, 12dの各入力他端に対応的に供給される如くなされている。

ここで、上記第1乃至第4のゲート回路12aおよび12b, 12c, 12dはそれらの各入力他端に対して入力端子14から被計測用パルス入力信号が共通に供給される如くなされていると共に、該パルス入力信号が正の状態ではそれらの各ゲート出力を第1乃至第4の $\frac{1}{2}$ カウンタ15a, 15b, 15c, 15dの各入力端に対応的に供給する如くなされている。

また、上記各 $\frac{1}{2}$ カウンタ15a, 15b, 15c, 15dの各出力はカウント値の比較のために第5乃至第8の $\frac{1}{2}$ カウンタ16a, 16b, 16c, 16dの各入力端に対応的に供給される如くなされている。

さらに上記第1乃至第4および第5乃至第8の $\frac{1}{2}$ カウンタ15a~15d, 16a~16dの各出力は判定回路17の第1乃至第8の入力

を通さない前記固定発振器からの出力をカウントするカウンタからのカウント出力を基準として前記遅延回路を通した出力をカウントする他のカウンタからのカウント出力が多いか少ないかを判定してその差分に応じた出力を生じる判定回路と、前記基準カウントを与えるカウンタからの出力に対して前記ゲート回路数に応じた数を掛け算する掛け算回路と、この掛け算回路からの出力に対し前記判定回路からの出力の和または差をとる演算回路とを具備してなることを特徴としている。

(発明の実施例)

以下図面を参照してこの発明の一実施例につき詳細に説明する。

すなわち、第2図に示すように水晶振動子(X-TAL)を用いてなる固定発振器11からのカウント用信号は直接的に第1のゲート回路12aの入力一端に供給されると共に、該固定発振器11の出力端に継続接続された第1乃至第3の遅延回路13a, 13b, 13cを介

端に対し後述のような判定が可能となるように供給されている。

すなわち、この判定回路17は、上述した固定発振器11からの直接的なカウント用信号であるゲート出力をカウントする第1および第5の $\frac{1}{2}$ カウンタ15a, 16aによるカウント値を基準として、他の各組の $\frac{1}{2}$ カウンタ15b, 15bと15c, 16cおよび15d, 16dの各カウント値がそれより多いかあるいは少ないかを判定するもので、該判定により多いときはそれらの差分だけの和また少ないときはそれらの差分だけの差を順次出力する如くなされているものである。

そして、上記第5の $\frac{1}{2}$ カウンタ16aの出力だけが供給されるカウンタ18はそのカウント出力を掛け算回路19に供給する如くなされている。

ここで、上記掛け算回路19はカウンタ18からのカウント出力に対し、上記第1乃至第8の $\frac{1}{2}$ カウンタ15a~15d, 16a~16dの

列数(この場合は4)を掛け算するもので、その掛け算出力を演算回路20に供給する如くなされている。

また、上記演算回路20は掛け算回路19からの掛け算出力に対し、上記判定回路17からの判定出力値の和または差をとるようになされている。

なお、上記第1乃至第8の $\frac{1}{2}$ カウンタ15a～15dおよび16a～16dならびにカウンタ18は上記のような各部での一連の動作終了後に入力端子21を介して供給されるリセット信号により、各内容がクリアーされて再びカウント動作が可能となされている。

この場合、カウンタ類が動作するのは上述したように被計測用パルス入力信号が正のときである。

次に、以上のように構成されるパルス幅計測装置の動作について、第3図に示すようなタイミングチャートに基いて説明する。

すなわち、第3図において(a)は被計測用パル

ス入力信号であり、(b)は従来のパルス幅計測装置によるカウント用ゲート出力を示すもので、この場合カウント値10にその周期 T_1 を掛けたものが求めるパルス幅 $10T_1$ として与えられる。

また、第3図(c)～(f)は第1乃至第3の遅延回路13a, 13b, 13cを通さないカウント用信号とそれらを通したカウント用信号に基づくカウント用ゲート出力を示しているものである。

そして、このようなカウント用ゲート出力は第1乃至第8の $\frac{1}{2}$ カウンタ15a～15d, 16a～16bさらにはカウンタ18でカウントされて、判定回路17ならびに掛け算回路19を介して演算回路20に供給されて、所定の演算がなされることになる。

つまり、この場合第3図(c)に示す第1列のカウント用ゲート出力は3であるから、掛け算回路19からの掛け算出力は $3 \times 4 = 12$ となっている。

そして、判定回路17から与えられる判定出力は、第3図(d)に示す第2列のカウント用ゲ

ート出力3に対し $3 - 3 = 0$ なる出力となり、同じく第3図(e), (f)に示す第3列および第4列のカウント用ゲート出力2に対しそれぞれ $2 - 3 = -1$ なる出力となつている。

これによつて、演算回路20からの出力は

$$3 \times 4 + (3 - 3) + (2 - 3) + (2 - 3)$$

$$= 12 + 0 - 1 - 1$$

$$= 10$$

となり、従来のカウント用ゲート出力と同じになる。

そして、求めるパルス幅は、第3図で $T_2 = 4T_1$ 、(但し各遅延回路の遅延時間 $t_1 = t_2 = t_3 = T_1$ とする)で表した如く、用いるカウント用ゲート出力の周波数を十分に低くしたにもかかわらず、結果的には $10T_1$ となつて従来のそれと同じ精度(この場合遅延回路の遅延量の精度による)で与えられることになる。

換言すれば、従来での動作可能周波数までこの発明で用いるゲート信号周波数を上げてやれば、従来では得ることのできなかつたかなりの

高精度を得ることができるようになるものである。

なお、この発明は上記し且つ図示した実施例のみに限定されることなく、この発明の要旨を逸脱しない範囲で種々の変形や適用が可能であることは言うまでもない。

例えば、第2図で用いる遅延回路および $\frac{1}{2}$ カウンタの数を増してやれば、それだけさらに精度を向上せしめることができる。

(発明の効果)

従つて、以上詳述したようにこの発明によれば、低い周波数で精度よくパルス幅を計測し得るよう改良したパルス幅計測装置を提供することが可能となる。

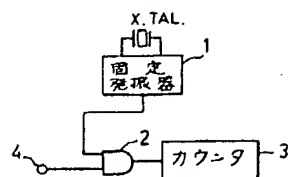
4. 図面の簡単な説明

第1図は従来のパルス幅計測装置を示す構成説明図、第2図はこの発明に係るパルス幅計測装置の一実施例を示す構成説明図、第3図は第2図の動作を第1図のそれと対比させて説明するためのタイミングチャートである。

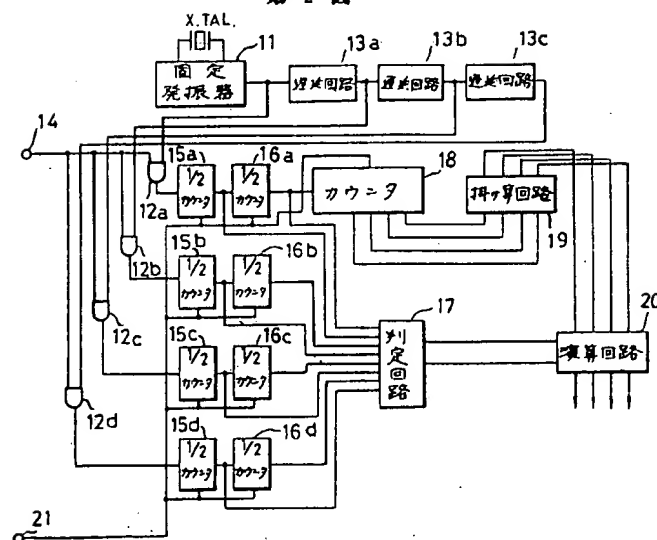
11…固定発振器、12a～12d…ゲート回路、13a～13c…遅延回路、14, 21…入力端子、15a～15d, 16a～16d… $\frac{1}{2}$ カウンタ、17…判定回路、18…カウンタ、19…掛け算回路、20…演算回路。

出願人代理人 弁理士 鈴 江 武 彦

第 1 図



第 2 図



第 3 図

